

TRANSFORMATION DE MODELES VERS LE VHDL-AMS

pour la simulation des systèmes complexes

Journée de travail co-organisée par le LAAS-CNRS et TOOLSYS
LAAS-CNRS, Salle Europe, 7 février 2006
7, avenue du Colonel Roche - 31077 Toulouse Cedex 4

Dans la démarche descendante de conception des systèmes complexes, le prototypage virtuel est une étape essentielle. Il permet alors une description précise, crédible, évaluée, et prête à l'étape d'intégration : matériel - logiciel.

Pour améliorer une telle démarche de conception en termes de productivité et de qualité, il faut définir et mettre en place un véritable **processus de conception**.

Partant du cahier des charges et allant au moins jusqu'à l'étape de prototypage virtuel, le processus s'appuiera sur une série d'outils et de langages afin de formaliser, de modéliser, de simuler, mais aussi d'évaluer, de vérifier ...

C'est dans ce contexte que le langage **VHDL-AMS**, conçu pour les modélisations numériques, mixtes, et/ou pluridisciplinaires, **paraît le mieux placé pour être le langage de modélisation du prototype virtuel**.

En effet, en tant que standard IEEE 1076.1999, il permet de créer des modèles à différents niveaux d'abstraction, il peut s'attacher des bibliothèques de modèles structurées, favoriser des techniques de capitalisation et de réutilisation des acquis ...

Les outils de modélisation VHDL-AMS appliquent la méthode générale d'analyse des réseaux (lois de Kirchhoff). Après avoir choisi les variables ad hoc, des modélisations multi-disciplinaires sont réalisables.

Cette approche méthodologique intègre évidemment les techniques de modélisation de type graphes de transfert (Matlab - Simulink).

Cette journée de travail invite la communauté à s'interroger sur les limites opérationnelles qu'il faut lever si l'on veut que le VHDL-AMS soit un langage d'accueil pour la simulation système matériel - logiciel et à s'interroger sur :

- **La mise en relation «automatique» entre les langages «amont»** de type UML/SYSML, HileS ... et VHDL-AMS.
- **La mise en relation avec les langages «logiciel»** de type C, pour pouvoir accéder à des co-vérifications matériel - logiciel, indispensables à la sécurité de conception des systèmes critiques.

La journée de travail permettra de trouver des chemins de coopération entre les équipes et se déroulera en deux temps forts :

La matinée sera consacrée à faire **le point sur la pratique VHDL-AMS** et la dynamique actuelle de transformation de modèle. Le Prof. Y. Hervé, spécialiste du domaine initiera cette réflexion par une conférence.

L'après-midi sera consacrée à l'**examen des priorités** : Méthodes et outils de la conception système, formalisation, vérification et co-vérification matériel-logiciel, simulation et co-simulation plateformes et outils...

Tous les participants pourront intervenir activement au cours de la journée :

Présentations scientifiques ou techniques, recommandations, projets, démonstrations d'outils, propositions de sujets à débattre, ... Contributions de 15 mins à adresser à : david.guihal@laas.fr

9H20 : Conférence : La Dynamique VHDL-AMS : Les enjeux et les difficultés de la transformation de modèles.

Par Y. Hervé Laboratoire InESS-UMR ULP/CNRS

Le professeur Y. Hervé est un spécialiste du VHDL-AMS. Il connaît la communauté TOOLSYS pour avoir organisé deux cycles de formation VHDL-AMS en 2003 et 2004. Il vient de créer avec des collègues chercheurs et industriels la start-up : Systems'Virtual Prototyping précisément sur la «dynamique VHDL-AMS» dont il est le conseiller scientifique.



Contacts organisateurs :

daniel.esteve@laas.fr, david.guihal@laas.fr, mario.paludetto@laas.fr, francois.verdanat@laas.fr, laurent.andrieux@laas.fr

Remerciements :

Nous voulons remercier ici tous ceux qui ont aidé à la tenue de cette réunion notamment, la société MENTOR-GRAPHICS pour tous ses efforts consentis pour la diffusion du langage VHDL-AMS.



PROGRAMME

TRANSFORMATION DE MODELES VERS LE VHDL-AMS

pour la simulation des systèmes complexes

LAAS-CNRS, Salle Europe, 7 février 2006 de 9h00 à 17h00
7, avenue du Colonel Roche - 31077 Toulouse Cedex 4

- 9h00** Introduction du séminaire : D.Estève (MOCAS)
- 9h20** Conférence de Y.Hervé : La dynamique VHDL-AMS : Les enjeux et les difficultés de la transformation de modèles.
- 10h10** Quelques exemples de transformation de modèles vers VHDL-AMS par D.Guihal et V.Albert.
- 11h00** Pause : démonstration d'outils, posters : HiLeS,
- 11h20** Discussion sur les transformations de modèles et le prototypage virtuel.
- 12h00** Une Start up : Systems'Virtual Prototyping.
 ↳ Présentation générale et contexte.
 ↳ Services et outils pour la transformation de modèles.
- 12h30** Buffet
- 14h00** Démonstration d'outils, posters...
- 14h30** Ateliers-débats :
 ↳ Vérification et covérification par simulation VHDL-AMS.
 ↳ Des spécifications à l'élaboration des modèles VHDL-AMS.
 ↳ Inventaire et rôles relatifs des outils et des langages de conception des systèmes.
- 15h30** Bilan des ateliers et de la journée
- 16h30** Fin

INSCRIPTIONS :

Envoyez votre confirmation en précisant nom, prénom, organisme et votre présence au buffet avant le 28/01/06

Contact inscriptions : nicole.higounet@laas.fr

Vos contacts :

LAAS-CNRS : <http://www2.laas.fr/laas/>

TOOLSYS : <http://www.laas.fr/toolsys/index.htm>

Systems'VIP : <http://www.systemsvip.com/koop/index.php>

